

HTW



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:
Commissioner for Patents, P.O. Box 1450,
Alexandria, VA 22313-1450 on June 1, 2005

(Date of Deposit)

Harold C. Moore

Name of person mailing Document or Fee

[Signature]
Signature

June 1, 2005

Date of Signature

Re:	Application of:	Tilke et al.
	Serial No.:	10/780,276
	Filed:	February 17, 2004
	For:	Semiconductor Structure with Increased Breakdown Voltage and Method for Producing the Semiconductor Structure
	Group Art Unit:	2811
	Confirmation No.:	7063
	Examiner:	Thien F. Tran
	Our Docket No.:	1890-0061

SUBMISSION OF PRIORITY DOCUMENT

Please find for filing in connection with the above patent application a certified copy of the priority document, Certified Copy of German Application Number 103 06 597.0.

Please charge any fee deficiency or credit any overpayment to Deposit Account
No. 13-0014.

Respectfully submitted,

A handwritten signature in black ink, appearing to read 'H. C. Moore', with a large, sweeping initial 'H'.

June 1, 2005

Harold C. Moore
Registration No. 37,892
Maginot, Moore & Beck
Bank One Center/Tower
111 Monument Circle, Suite 3000
Indianapolis, IN 46204-5115

Enclosures

TRANSLATION FROM THE GERMAN LANGUAGE

FEDERAL REPUBLIC OF GERMANY



Priority certificate of filing a patent application

File number : 103 06 597.0
Application date : February 17, 2003
Applicant/Proprietor : Infineon Technologies AG,
81669 Munich, Germany

Title : SEMICONDUCTOR STRUCTURE WITH INCREASED
BREAKDOWN VOLTAGE AND METHOD FOR
PRODUCING THE SEMICONDUCTOR STRUCTURE

IPC : H 01 L 29/73

The enclosed documents are the correct and exact reproduction of the originally filed patent application.

Munich, March 04, 2004

The President of the German Patent and Trademark Office

By Order

/Signature/

Brosig

CERTIFIED COPY OF
PRIORITY DOCUMENT



Best Available Copy

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 06 597.0

Anmeldetag: 17. Februar 2003

Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE

Bezeichnung: Halbleiterstruktur mit einer erhöhten
Durchbruchspannung und ein Verfahren zum
Herstellen der Halbleiterstruktur

IPC: H 01 L 29/73

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 04. März 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Patentanwälte · Postfach 710867 · 81458 München

Infineon Technologies AG
St.-Martin-Str. 53

81669 München

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977

e-mail: szsz_iplaw@t-online.de

HALBLEITERSTRUKTUR MIT EINER ERHÖHTEN DURCHBRUCH- SPANNUNG UND EIN VERFAHREN ZUM HERSTELLEN DER HALBLEITERSTRUKTUR

Beschreibung

Halbleiterstruktur mit einer erhöhten Durchbruchspannung und ein Verfahren zum Herstellen der Halbleiterstruktur

5

Die vorliegende Erfindung bezieht sich auf eine Halbleiterstruktur mit einer erhöhten Durchbruchspannung über einen pn-Übergang, den die Halbleiterstruktur aufweist.

- 10 Eine der wesentlichen Anforderungen, die an Halbleiterstrukturen in modernen mikroelektronischen Schaltungen gestellt wird, ist, daß die Halbleiterstrukturen für eine jeweilige Anwendung idealerweise eine gewünschte Durchbruchsfestigkeit gepaart mit einer guten Frequenzcharakteristik, beispielsweise einer hohen Grenzfrequenz, aufweisen.

- Insbesondere in modernen BiCMOS-Technologien, wo ein Kollektor eines Bipolartransistors über beispielsweise einen hochdotierten Subkollektor (buried layer), der durch eine Kollektorepitaxie vergraben wird, lateral angeschlossen wird, werden oft sich gegenseitig ausschließende Anforderungen an ein Bipolarprozeßmodul gestellt. Einerseits wird eine Integration eines möglichst schnellen Bipolartransistors für geringe Betriebsspannungen gefordert, andererseits benötigt man meist auch Bipolartransistoren, die eine hohe Durchbruchspannung besitzen, allerdings nur eine geringere Hochfrequenzperformance zu erreichen brauchen. Für einen schnellen Transistor (HF) sollte eine Kollektorepitaxieschicht möglichst dünn sein, damit ein Kollektoranschlußwiderstand sowie die Minoritätsladungsträgerspeicherung im Kollektor gering und somit die HF-Performance hoch wird. Für den Transistor mit einer hohen Durchbruchspannung (HV) sollte dagegen die Kollektorepitaxie dick sein, damit sich die Basis-Kollektorraumladungszone weit ausdehnen kann und somit die geforderte Durchbruchspannung erreicht wird. Aus diesem Grund ist auch eine Dotierung der Kollektorepitaxie gering, beispielsweise $< 1 \text{ E } 16 \text{ cm}^{-3}$.

Normalerweise wird die Dicke sowie die Dotierung der Epitaxieschicht (Kollektorepitaxie) so festgelegt, daß die erforderliche Durchbruchspannung für den HV-Transistor gewährleistet wird. Da die geringe Dotierung für den HF-Transistor keine ausreichend hohen Kollektorströme erlaubt und somit auch die HF-Performance leidet, weil eine maximale Grenzfrequenz f_t (Transitfrequenz) linear von einem maximalen Kollektorstrom I_c abhängt, bei dem der sogenannte Kirk-Effekt einsetzt, wird in einen herkömmlichen HF-Transistor oft ein sogenannter SIC (SIC = selectively implanted collector) implantiert.

In Fig. 8 ist eine konventionelle Integration eines HF- und eines HV-Bipolartransistors dargestellt. Auf einem Substrat 801 sind hochdotierte Subkollektoren 803 und 804 des HV- und des HF-Transistors (buried layer) angeordnet. Der links von der gestrichelten Linie angeordnete HF-Transistor weist ferner einen ersten SIC 805 sowie einen zweiten SIC 807 auf. Sowohl der erste SIC als auch der zweite SIC sind in einer Kollektorepitaxie 809 vergraben. Auf dem ersten SIC 805 ist ferner eine Basis 811 angeordnet, die mit Hilfe einer Basisanschlußschicht 813 beispielsweise an eine Verdrahtungsebene angeschlossen werden kann. Auf der Basis 811 ist eine Emittererschicht 815 angeordnet, die über einen Emitterkontakt kontaktiert wird. Auf der Basisanschlußschicht 813 befindet sich ferner beispielsweise eine Isolationsschicht 817 sowie im Emitterfenster ein isolierender Spacer. Beide Schichten dienen der elektrischen Isolation zwischen dem Emitter und dem Basisanschluss. Unterhalb der Basisanschlußschicht sind ferner beispielsweise Oxidschichten 819 ausgebildet. Der Subkollektor 804 ist von oben her über einen weiteren Anschluß 820 kontaktierbar. Die Buried Layers der einzelnen Transistoren sind gegeneinander durch einen Deep Trench 823 gegeneinander isoliert. Sie können jedoch auch durch eine pn-Isolation gegeneinander isoliert sein.

Im Unterschied zu dem HF-Transistor weist der HV-Transistor, der rechts von der gestrichelten Linie angeordnet ist, keinen ersten und keinen zweiten SIC auf. Dabei ist der Subkollektor 803 über einen weiteren Anschluß 821 beispielsweise mit einer Spannung beaufschlagbar. Handelt es sich bei den in Fig. 8 dargestellten HF- und HV-Transistoren um beispielsweise npn-Transistoren, so ist der Subkollektor 803 beispielsweise hoch n-dotiert, während die Kollektorepitaxie 809 weniger n-dotiert ist. Der zweite SIC 807 und der erste SIC 805 sind dabei ebenfalls n-dotiert, wobei eine Dotierungskonzentration des ersten und des zweiten SIC höher als die der Kollektorepitaxie und geringer als die des Subkollektors ist.

Eine Implantation von einem SIC führt zu einer gegenüber der Dotierung der Kollektorepitaxie (Epidotierung) erhöhten Volumendotierung (etwa $1 \text{ E } 17 \text{ cm}^{-3}$). Die Basis-Kollektorraumladungszone des HF-Transistors reicht bei Erreichen der Durchbruchspannung allerdings wegen der hohen Epidicke und der durch die SIC-Implantation erhöhten Dotierung nicht bis auf den vergrabenen Subkollektor 803. Der Kollektorstrom muß daher durch den relativ hochohmigen Bereich des SIC zwischen Ende der Raumladungszone und Anfang des Subkollektors fließen. Aus diesem Grund wird dieser Bereich oft durch eine zweite SIC-Implantation 807 dotiert, wie es in Fig. 8 dargestellt ist, die man dann als retrogrades Profil optimieren kann. Nachteilig dabei ist, daß hierdurch die HF-Performance des Transistors beeinträchtigt wird, da zum einen die Dotierung und damit eine Leitfähigkeit des SIC im Vergleich zum Subkollektor deutlich niedriger ist. Zum anderen kann durch die SIC-Implantation nicht annähernd ein so steiles Dotierprofil erreicht werden wie durch eine Epitaxie, so daß ein Kollektorwiderstand höher ist als bei einer minimal möglichen Epidicke. Insgesamt erreicht dadurch der HF-Transistor nicht die bestmögliche Performance, die in dieser Technologiegeneration möglich wäre, da beispielsweise der bereits erwähnte erhöhte Kollektorwiderstand sowie die höhere

Minoritätsladungsträgerspeicherung die Grenzfrequenz des HF-Transistors herabsetzt.

- Ein weiterer Nachteil an dem in Fig. 8 dargestellten Ansatz besteht darin, daß die HF-Eigenschaften des HF-Transistors ausgehend von dem HV-Transistor, dessen Kollektorepitaxie zum Erhöhen der Durchbruchspannung optimal ausgebildet ist, durch eine Einführung von einem bzw. von mehreren SICs verbessert werden sollen. Da bei einer Ausbildung der Kollektorepitaxie 809 die HF-Eigenschaften des HV-Transistors im Vergleich zu der Anforderung an die Durchbruchsspannung zweitrangig sind, muss die Kollektorepitaxie dick sein, und daher müssen die Eigenschaften des in dieser Epitaxieschicht ausgebildeten HF-Transistors durch eine Einführung von einem oder mehreren SICs 805 und 807 nachgebessert werden. Dies führt zu einem zu einer Verteuerung des Herstellungsprozesses, da der erste und der zweite SIC beispielsweise durch eine Implantation eines Dotierstoffs ausgebildet werden müssen.
- Ein weiterer Nachteil an dem in Fig. 8 dargestellten Ansatz ist, daß aufgrund der SICs 805 und 807 sowie des bereits erwähnten erhöhten Kollektorwiderstands eine Verlustleistung des HF-Transistors erhöht wird. Umfaßt ein mikroelektronischer Schaltkreis eine Mehrzahl von HF-Transistoren, wie sie in Fig. 8 dargestellt sind, so führt dies zu einem merkbaren Anstieg eines Leistungsverbrauchs sowie möglicherweise einer Wärmeentwicklung, wodurch ein Betrieb eines derartigen Schaltkreises verteuert wird.
- Ein weiterer Nachteil an den in Fig. 8 dargestellten Transistoren gemäß dem Stand der Technik ist, daß aufgrund der zum Erreichen einer vorgegebenen Durchbruchspannung notwendigen Dicke der Kollektorepitaxie 809 die Abmessungen, beispielsweise in vertikaler Richtung, eines derartig hergestellten Transistors ansteigen, da die Dicke der Kollektorepitaxie 809 zum Erreichen einer hohen Durchbruchspannungsfestigkeit groß gewählt werden muß. Die Epitaxiedicke hängt von der Durch-

bruchspannung des HV-Transistors ab. Dies zieht einen weiteren Nachteil nach sich, daß mit größeren Dicken der Kollektorepitaxie 809 zum Erreichen einer höheren Durchbruchspannung die HF-Performance des HF-Transistors zwangsläufig verschlechtert wird, weil die SICs 805 und 807 zwangsläufig länger sein müssen, oder es wird ein dritter SIC eingefügt, wodurch der bereits erwähnte Kollektorwiderstand weiter ansteigt.

- 10 In der Schrift von K. O. Kenneth und B. W. Scharf: "Effects of Burried Layer Geometry on Characteristics of Double Polysilicon Bipolar Transistor" wird ein Bipolartransistor mit einer höheren Durchbruchspannung beschrieben, bei dem ein Subkollektor aus segmentierten Stücken besteht.

15 Die Aufgabe der vorliegenden Erfindung besteht darin, ein effizientes Konzept zum Erhöhen einer Durchbruchspannung einer Halbleiterstruktur zu schaffen.

- 20 Diese Aufgabe wird durch eine Halbleiterstruktur gemäß Patentanspruch 1 und ein Verfahren gemäß Patentanspruch 8 gelöst. Dabei wird die Durchbruchspannung des HV-Transistors von der Dicke der Epitaxie weitgehend entkoppelt, sodass HV und HF-Transistor getrennt voneinander optimiert werden können.

25 Gemäß einem Aspekt der vorliegenden Erfindung umfaßt eine Halbleiterstruktur eine vergrabene erste Halbleiterschicht eines ersten Dotierungstyps, eine zweite Halbleiterschicht des ersten Dotierungstyps auf der vergrabenen Halbleiterschicht, die geringer dotiert ist als die vergrabene erste Halbleiterschicht, einen Halbleiterbereich eines zweiten Dotierungstyps auf der zweiten Halbleiterschicht, so daß zwischen dem Halbleiterbereich und der zweiten Halbleiterschicht ein pn-Übergang gebildet ist, und einer unterhalb des Halbleiterbereichs in der vergrabenen ersten Halbleiterschicht vorhandenen Aussparung, die ein Halbleitermaterial

des ersten Dotierungstyps enthält, das tiefer im Substrat liegt als die vergrabene erste Halbleiterschicht, derart, daß die Durchbruchspannung über den pn-Übergang höher ist als wenn die Aussparung nicht vorgesehen wäre.

5

Gemäß einem weiteren Aspekt der vorliegenden Erfindung wird eine erfindungsgemäße Halbleiterstruktur durch Bereitstellen der vergrabenen ersten Halbleiterschicht mit der in derselben gebildeten Aussparung, Erzeugen des weiteren Halbleiterbereichs in der Aussparung, Einbringen des Halbleitermaterials des ersten Dotierungstyps in die Aussparung, wobei nach dem Schritt des Einbringens das Halbleitermaterial tiefer im Substrat liegt als die vergrabene erste Halbleiterschicht, Erzeugen der zweiten Halbleiterschicht auf der vergrabenen ersten Halbleiterschicht, die geringer dotiert ist als die vergrabene erste Halbleiterschicht und Erzeugen des Halbleiterbereichs auf der zweiten Halbleiterschicht hergestellt.

10

15

20

25

30

35

Die vorliegende Erfindung basiert auf der Erkenntnis, daß es möglich ist, gleichzeitig eine Halbleiterstruktur mit optimierten HF-Eigenschaften und eine Halbleiterstruktur mit erhöhter Durchbruchspannung in einer integrierten Schaltung auszubilden, wenn die Dicke der schwach dotierten Halbleiterschicht (Epischicht), die über eine vergrabene stark dotierte Schicht angeschlossen ist, für optimierte HF-Eigenschaften ausgelegt wird, und für die Halbleiterstruktur mit erhöhter Durchbruchspannung eine Aussparung in der vergrabenen stark dotierten Schicht vorgesehen wird. In dieser Aussparung kann beispielsweise eine zweite stark dotierte Schicht, die tiefer im Substrat liegt, als die erste, erzeugt werden. Durch eine Aussparung ergibt sich damit eine größere Strecke zwischen vergrabener stark dotierter Schicht und dem entgegengesetzt dotierten Halbleiterbereich über die schwach dotierte Epischicht, so daß die Durchbruchspannung erhöht ist. Die Aussparung der stark dotierten vergrabenen Schicht stellt einen Bereich dar, in dem die vergrabene stark dotierte Schicht durch einen Halbleiterbereich einer geringeren Dotierung

ersetzt ist, unter dem wiederum eine zweite, stark dotierte Schicht liegen kann. Dieser Bereich kann durch eine Ausnehmung nur in der Oberseite der vergrabenen Schicht gebildet sein, in der ein Halbleitermaterial, das eine der Epischicht
5 entsprechende Dotierung aufweist, angeordnet ist.

Vorzugsweise ist jedoch die Aussparung die vergrabene Schicht vollständig durchdringend vorgesehen, wobei zumindest in den unteren Bereich der Aussparung eine Hochenergie-Implantation
10 einer Dotierungsdichte, die geringer sein kann als die der vergrabenen Schicht, durchgeführt wird. Vorzugsweise würde man den Hochenergieimplant auch sehr hoch dotieren. Allerdings bedeutet Hochenergieimplantation sehr lange Prozesszeiten und weitere Prozessprobleme, weswegen man in der Praxis
15 nur geringer dotieren kann, als bei der konventionell vergrabenen Schicht.

Die Erfindung eignet sich zur Verwendung bei allen Halbleiterelementen, bei denen ein pn-Übergang mit einer erhöhten Durchbruchspannung implementiert werden soll, beispielsweise
20 entsprechenden Dioden oder Bipolartransistoren.

Die Erfindung ist insbesondere dann vorteilhaft einsetzbar, wenn ein HF-Transistor und ein HV-Transistor gleichzeitig auf einem Substrat integriert werden sollen. Die Ausrichtung der Kollektorepithicke erfolgt dann am HF-Transistor und nicht am HV-Transistor. Dadurch erreicht man eine optimale HF-
25 Performance des HF-Transistors bei gleichzeitig ausreichender und frei einstellbarer Durchbruchspannung des HV-Transistors. Gleichzeitig können durch unterschiedliche Breiten von Aussparungen für unterschiedliche HV-Transistoren verschiedene Durchbruchsspannungen für diese durch einfache Layout-
30 Maßnahmen eingestellt werden.

Ein weiterer Vorteil der vorliegenden Erfindung ist darin zu sehen, daß zwei Transistoren gleichzeitig integriert werden können, von denen der eine bzgl. HF-Performance und der

andere bzgl. Der Durchbruchsspannung separat optimiert werden können. Beim konventionellen Verfahren leidet entweder die HF-Performance des HF-Transistors, oder die Durchbruchsspannung des HV-Transistors ist zu niedrig.

5

Ein weiterer Vorteil der vorliegenden Erfindung liegt darin, daß die Abmessungen der erfindungsgemäßen Halbleiterstruktur verglichen mit den Abmessungen einer beispielsweise in Fig. 8 diskutierten Struktur gemäß Stand der Technik geringer sind, da eine Dicke der zweiten Halbleiterschicht, die beispielsweise eine Kollektorepitaxieschicht sein kann, nicht ausgehend von den Durchbrucheigenschaften des HV-Transistors, sondern ausgehend von der HF-Performance des HF-Transistors gewählt wird, so daß die Dicke der zweiten Halbleiterschicht geringer ist, was zu einer weiteren Senkung der Herstellungskosten führt.

10

15

Ein weiterer Vorteil der erfindungsgemäßen Halbleiterstruktur besteht darin, daß diese HF-Transistoren mit optimierten HF-Eigenschaften und HV-Transistoren mit ausreichender Durchbruchfestigkeit integriert in einer Schaltung ermöglicht.

20

Ein weiterer Vorteil der vorliegenden Erfindung liegt in einer Reduktion der Herstellungskosten der erfindungsgemäßen Halbleiterstruktur, da zum Erreichen einer optimalen HF-Performance der HF-Transistoren sowie einer ausreichenden Durchbruchspannung der HV-Transistoren weniger Arbeitsschritte sowie dünnere Schichten (Kollektorepischicht) ausreichend sind. Beispielsweise kann die Integration in BiCMOS-Prozesse deutlich vereinfacht werden, da wegen der geringeren Kollektorepischichtdicke der SIC des HF-Transistors flacher implantiert werden kann und dennoch einen guten Kontakt zur hochdotierten vergrabenen Schicht herstellt. Dadurch können die Abdeckschichten über den CMOS-Bereichen zur Maskierung dieses SIC-Implants dünner gehalten werden, was zum einen die Kosten der Abscheidungen verringert, zum anderen das restefreie Entfernen dieser Schichten deutlich erleichtert.

25

30

35

Ein weiterer Vorteil der vorliegenden Erfindung liegt darin, daß beispielsweise auf einem Substrat mehrere Bipolartransistoren mit unterschiedlicher Durchbruchspannung durch
5 beispielsweise eine simple Variation einer Breite der Aussparung der vergrabenen ersten Halbleiterschicht ausgebildet werden können. Dadurch wird ferner erreicht, daß unterschiedliche Durchbruchfestigkeiten durch lediglich eine Layout-Modifizierung und somit eine Variierung eines Herstellungsschrittes erzielt werden können, so daß weitere zusätzliche
10 Verfahrensschritte nicht notwendig sind, wodurch der Herstellungsprozeß flexibel ist und die Stückkosten gering sind.

Die vorliegende Erfindung ist insbesondere vorteilhaft in
15 BiCMOS-Technologien, da durch den Nutzen der höheren möglichen HF-Performance der HF-Transistoren auch BiCMOS-Produkte eine bessere HF-Performance und somit eine verbesserte Konkurrenzfähigkeit besitzen können. Dies ist insbesondere bei Anwendungen wie Mobilfunk, WLAN, usw. interessant. Bei einer
20 Integration von beispielsweise zwei HV-Transistoren mit unterschiedlichen Durchbruchspannungen kann die Erfindung eine Lithographieebene sparen.

25 Fig. 1 ein erste Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;

Fig. 2 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;

30 Fig. 3 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;

Fig. 4 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;

Fig. 5 Dotierstoffkonzentrationen eines (a) HF-Transistors und (b) HV-Transistors bei konventioneller Transistorintegration;

5 Fig. 6 Dotierstoffkonzentrationen eines (a) HF-Transistors und (b) HV-Transistors gemäß der vorliegenden Erfindung;

10 Fig. 7 ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung;

Fig. 8 konventionelle Transistorintegration.

Fig. 1 zeigt ein erstes Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung. Die Halbleiterstruktur weist eine stark dotierte vergrabene erste Halbleiterschicht 101 eines ersten Dotierungstyps auf, in der eine Aussparung 103 gebildet ist. Auf einer oberen Oberfläche 109 der vergrabenen ersten Halbleiterschicht 101 sowie auf der
20 oberen Oberfläche 107 des weiteren Halbleiterbereichs 105'' ist eine zweite Halbleiterschicht 111 ausgebildet, bei der es sich um eine schwach dotierte Schicht des ersten Dotierungstyps handelt, die beispielsweise eine Epischicht sein kann. Die zweite schwach dotierte Halbleiterschicht erstreckt sich
25 in einen Abschnitt 105' der Aussparung 103. Ferner ist in der Aussparung 103 ein weiterer Halbleiterbereich 105'' des ersten Dotierungstyps angeordnet, dessen Dotierungsdichte vorzugsweise zwischen der Epischicht 111 und der vergrabenen Schicht 101 liegt und der vorzugsweise tiefer liegt, als die
30 vergrabene erste Halbleiterschicht 101. Der weitere Halbleiterbereich 105'' weist ferner eine obere Oberfläche 107 auf.

Auf der zweiten Halbleiterschicht 111 ist ein Halbleiterbereich 113 mit einer unteren Oberfläche 115 angeordnet. Dabei
35 ist der Halbleiterbereich 113 von einem zweiten Dotierungstyp, so daß zwischen dem Halbleiterbereich 113 und der zweiten Halbleiterschicht 111 ein pn-Übergang implementiert ist.

Der Halbleiterbereich 113 ist ferner über der Aussparung 103 angeordnet, wobei der vertikale Abstand von der oberen Oberfläche 109 der vergrabenen ersten Halbleiterschicht von der unteren Oberfläche 115 des Halbleiterbereichs 113 geringer ist als der vertikale Abstand der oberen Oberfläche 107 des weiteren Halbleiterbereichs 105'' von der unteren Oberfläche 115.

Im folgenden wird auf eine Funktionsweise der in Fig. 1 dargestellten Halbleiterstruktur eingegangen. Dabei wird stets angenommen, daß es sich bei dem ersten Dotierungstyp um eine n-Dotierung und bei dem zweiten Dotierungstyp um eine p-Dotierung handelt. Die nachfolgenden Ausführungen gelten jedoch ebenfalls für eine Halbleiterstruktur, bei der der erste Dotierungstyp eine p-Dotierung und der zweite Dotierungstyp eine n-Dotierung ist.

Die Halbleiterstruktur, wie sie in Fig. 1 gezeigt ist, weist eine optimierte Durchbruchspannung auf. Gleichzeitig kann wegen der geringen Dicke der Halbleiterschicht 111 eine zweite Halbleiterstruktur mit optimierten HF-Eigenschaften erzeugt werden. Die Durchbruchspannung wird im wesentlichen durch einen Abstand der oberen Oberfläche 107 des weiteren Halbleiterbereichs 105'' zu der unteren Oberfläche 115 des Halbleiterbereichs 113, durch einen Abstand der Oberflächen 109 und 115 zueinander, durch die Breite der Aussparung 103, sowie durch die jeweilige Dotierungskonzentration der betreffenden Halbleiterbereiche und -schichten bestimmt. Handelt es sich bei der in Fig. 1 gezeigten Halbleiterstruktur um beispielsweise einen Bipolartransistor, so ist der erste Halbleiterbereich 113 gemäß der obenstehend getroffenen Annahme eine p-dotierte Basis, und die zweite Halbleiterschicht 111 sowie die vergrabene erste Halbleiterschicht 101 bilden einen n-dotierten Kollektor des Bipolartransistors. Dabei ist die Dotierung der zweiten Halbleiterschicht 111 geringer als jene der vergrabenen ersten Halbleiterschicht 101.

Um eine ausreichende Durchbruchspannung zu erzielen, weist die in Fig. 1 dargestellte Struktur die erfindungsgemäße Aussparung 103 auf. Dabei ist, wie es bereits erwähnt worden ist, die obere Oberfläche 107 des in der Aussparung 103 gebildeten weiteren Halbleiterbereichs 105'' von der unteren Oberfläche 115 des Halbleiterbereichs 113 (Basis) weiter beabstandet als die obere Oberfläche 109 der vergrabenen ersten Halbleiterschicht 101 (Subkollektor). Dadurch wird die Durchbruchspannung erhöht, da sich beispielsweise die Basis-Raumladungszone nun weit ausdehnen kann. Der weitere Halbleiterbereich 105'', der in der Aussparung 103 angeordnet ist, ist dabei ebenfalls n-dotiert. Die Dotierungskonzentration des weiteren Halbleiterbereichs 105'' kann beispielsweise geringer sein als jene der vergrabenen ersten Halbleiterschicht 101. Denkbar ist es ebenfalls, daß die Dotierungskonzentration des weiteren Halbleiterbereichs 105'' sowie die Dotierungskonzentration der vergrabenen ersten Halbleiterschicht 101 gleich sind, da in diesem Falle die Durchbruchspannung beispielsweise durch eine noch größere Beabstandung der oberen Oberfläche 107 des weiteren Halbleiterbereichs 105'' von der Basis 113 realisiert werden kann. Unabhängig davon, wie die Dotierungskonzentration des zweiten Halbleiterbereichs ist, kann die Durchbruchspannung ferner durch eine Variation einer Breite der Aussparung 103 und somit des in der Aussparung 103 angeordneten weiteren Halbleiterbereichs 105'' verändert werden, da mit steigender Breite der Aussparung 103 die Durchbruchspannung steigt und umgekehrt mit sinkender Breite der Aussparung 103 die Durchbruchspannung ebenfalls sinkt.

In dem in Fig. 1 dargestellten Ausführungsbeispiel ist die Aussparung 103 derart ausgebildet, daß sie die vergrabene erste Halbleiterschicht 101 durchtrennt. An dieser Stelle sei jedoch darauf hingewiesen, daß die Aussparung 103 die vergrabene erste Halbleiterschicht 101 nicht durchtrennen muß. Denkbar ist es ebenfalls, daß die Aussparung 103 nur eine geringe Tiefe aufweist, so daß die vergrabene erste Halblei-

terschicht 101 durchgehend ist, so daß der weitere Halbleiterbereich 105'' entweder gar nicht ausgebildet wird oder auf einem Bereich der vergrabenen ersten Halbleiterschicht 101, über dem die Aussparung 103 gebildet wird, ausgebildet wird, so daß bei beispielsweise einer geringeren Dotierungskonzentration des weiteren Halbleiterbereichs 105'' sowie einem größeren Abstand der Oberfläche 107 des weiteren Halbleiterbereichs 105'' zu der Basis 113, als es bei der oberen Oberfläche 109 der vergrabenen ersten Halbleiterschicht 101 der Fall ist, ebenfalls eine gewünschte Durchbruchspannung erreicht werden kann. Typische Werte für HV-Transistoren, die einen in Fig. 1 dargestellten Aufbau aufweisen, liegen bei >4V.

An dieser Stelle sei angemerkt, daß eine Einstellung der Durchbruchspannung ebenfalls erzielt werden kann, wenn die obere Oberfläche 107 des weiteren Halbleiterbereichs 105'' sowie die obere Oberfläche 109 der vergrabenen ersten Halbleiterschicht 101 beispielsweise einen gleichen Abstand zu der unteren Oberfläche 115 des Halbleiterbereichs 113 aufweisen. In diesem Fall trägt im wesentlichen die geringere Dotierungsdichte- oder Konzentration des weiteren Halbleiterbereichs 105'' zu einer Erhöhung der Durchbruchspannung bei.

Erfindungsgemäß können die gewünschten Durchbruchspannungseigenschaften sowie die sich dann einstellende HF-Performance der erfindungsgemäßen Halbleiterstruktur durch beispielsweise eine Variation der Breite der Aussparung 103, der Dotierungskonzentration der vergrabenen ersten Halbleiterschicht 101 sowie des weiteren Halbleiterbereichs 105'' sowie beispielsweise eines Verhältnisses eines Abstands der oberen Oberfläche 109 der vergrabenen ersten Halbleiterschicht 101 sowie der oberen Oberfläche 107 des weiteren Halbleiterbereichs 105'' zu der unteren Oberfläche 115 des Halbleiterbereichs 113 erzielt werden.

Fig. 2 zeigt ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung. Dabei handelt es sich um den links von der in Fig. 2 dargestellten vertikalen Linie um einen HV-Transistor I, und bei dem rechts von der Linie angeordneten Transistor um einen HV-Transistor II. Sowohl der HV-Transistor I als auch der HV-Transistor II bilden gemeinsam die erfindungsgemäße Halbleiterstruktur.

Die in Fig. 2 dargestellte Halbleiterstruktur weist ein Substrat 201 auf, bei dem es sich beispielsweise um ein schwach dotiertes Halbleitersubstrat, z.B. p-Substrat handeln kann. Auf dem Substrat 201 ist jeweils eine vergrabene erste Halbleiterschicht 203 und 204 angeordnet. Die vergrabene erste Halbleiterschicht 204 weist eine erste Aussparung 205 auf und die vergrabene erste Halbleiterschicht 203 weist eine zweite Aussparung 207 auf. Beide Aussparungen 205 und 207 sind voneinander beabstandet angeordnet. In der ersten Aussparung 205 der vergrabenen ersten Halbleiterschicht 204 ist ein weiterer Halbleiterbereich 209 gebildet. In der zweiten Aussparung 207 ist ein weiterer Halbleiterbereich 211 angeordnet. Dabei weisen der weitere Halbleiterbereich 209 eine obere Oberfläche 229 auf und der weitere Halbleiterbereich 211 eine obere Oberfläche 231 auf. Auf den vergrabenen ersten Halbleiterschichten 203 und 204 sowie auf dem weiteren Halbleiterbereich 209 und auf dem weiteren Halbleiterbereich 211 ist eine zweite Halbleiterschicht 213 ausgebildet. Dabei ist die zweite Halbleiterschicht von einer Deep Trench-Isolation 214 durchtrennt, die auch die vergrabenen Schichten des HF- und des HV-Transistors voneinander trennt.

Sowohl der weitere Halbleiterbereich 209, der weitere Halbleiterbereich 211, die jeweilige vergrabene erste Halbleiterschicht 203 und 204 als auch die zweite Halbleiterschicht 213 sind beispielsweise n-dotiert, wobei die jeweiligen Dotierungskonzentrationen unterschiedlich sein können. Bei der zweiten Halbleiterschicht 213 handelt es sich dann beispielsweise um einen Kollektor eines npn-Bipolartransistors und bei

der jeweiligen vergrabenen ersten Halbleiterschicht 203 und 204 handelt es sich um einen Subkollektor (buried layer) des jeweiligen Bipolartransistors. In dem in Fig. 2 dargestellten Ausführungsbeispiel erstreckt sich der weitere Halbleiterbereich 209 sowie der weitere Halbleiterbereich 211 in das Substrat 201 hinein, ohne jedoch das Substrat 201 durchzutrennen. Die jeweilige vergrabene erste Halbleiterschicht 204 und 203 weist ferner einen ersten Anschluß 215 sowie einen zweiten Anschluß 217 auf, wobei beide Anschlüsse durch die zweite Halbleiterschicht 213 hindurch nach oben ausgeführt sind und zum Kontaktieren der jeweiligen vergrabenen ersten Halbleiterschicht 204 und 203 dienen. Über der Aussparung 205 sowie über der Aussparung 207 ist auf der zweiten Halbleiterschicht 213 oder in dieser jeweils eine Basis 219 angeordnet. Links und rechts neben der jeweiligen Basis 219 sind ferner weitere Isolationsschichten 221 und 222 (z.B. Shallow Trench-Isolation), ausgebildet und erstrecken sich teilweise nach unten hin in die zweite Halbleiterschicht 213 hinein.

Auf der jeweiligen Basis 219 ist jeweils ein dritter Halbleiterbereich 223 (Emitter, beispielsweise n-dotiertes Polysilizium) angeordnet, der über einen Emitterkontaktkontaktierbar ist. Bei dem dritten Halbleiterbereich kann es sich beispielsweise um eine n-dotierte Polysiliziumschicht handeln. Zum Anschließen der jeweiligen Basis 219 sind ferner auf den weiteren Substratschichten 221 und 222 jeweils eine Basisanschlußschicht 225 angeordnet. Auf der jeweiligen Basisanschlußschicht 225 ist ferner jeweils eine Isolationschichtschicht 227 angeordnet. Diese Schicht dient zur Isolation des Basis bzw. des Emitterpolys voneinander. Dabei ist der jeweilige Emitter 223 nach oben hin ausgeführt, so daß er sich durch die jeweilige Isolationsschicht 227 sowie durch die jeweilige Basisanschlußschicht 225 bis zur jeweiligen Basis 219 erstreckt. Somit sind in Fig. 2 zwei Bipolartransistoren (HV-Transistor I und HV-Transistor II) dargestellt, die jeweils links bzw. rechts von der in Fig. 2 dargestellten gestrichelten Linie angeordnet sind.

In dem jeweiligen Emitterfenster ist jeweils ein Spacer 233 angeordnet, der in diesem Ausführungsbeispiel L-förmig ist, der jedoch eine beliebige Form aufweisen kann, der der Isolation dient.

Die Passivierungsschichten sind in dem Ausführungsbeispiel aus Gründen der Übersichtlichkeit nicht eingezeichnet - sie würden auf den gezeichneten Strukturen liegen.

Im folgenden wird auf die Funktionsweise und die Eigenschaften der in Fig. 2 dargestellten erfindungsgemäßen Halbleiterstruktur eingegangen.

In Fig. 2 sind zwei HV-Transistoren auf dem Substrat 201 integriert, wobei der HV-Transistor I und der HV-Transistor II sich jeweils durch eine unterschiedliche Durchbruchspannung aufgrund von unterschiedlichen Breiten der jeweiligen Aussparung 205 und 207 (Fensterbreiten) in der vergrabenen ersten Halbleiterschicht 203 (Subkollektor) auszeichnen.

Durch unterschiedliche Fensterbreiten der jeweiligen Aussparung 205 und 207 sowie beispielsweise durch einen jeweils unterschiedlichen Abstand der jeweiligen oberen Oberfläche 229 und 231 von der jeweiligen Basis 219 zeichnen sich der jeweilige HV-Transistor I sowie der HV-Transistor II durch unterschiedliche Durchbruchspannungen aus. Vorzugsweise ist dabei die vergrabene erste Halbleiterschicht (Subkollektor) hoch n-dotiert und die zweite Halbleiterschicht 213 (Kollektor) ist beispielsweise niedriger dotiert als der Subkollektor 203. Der weitere Halbleiterbereich 209 und der weitere Halbleiterbereich 211 weisen beispielsweise eine gleiche Dotierungskonzentration auf und sind n-dotiert, wobei die Dotierungskonzentration der weiteren Halbleiterbereiche 209 und 211 geringer sein kann als jene der vergrabenen ersten Halbleiterschicht 203 und höher als jene der zweiten Halbleiterschicht 213 ist. Erfindungsgemäß können daher auf dem

Substrat 201 jeweils unterschiedliche Transistoren mit einer unterschiedlichen Durchbruchspannung sowie mit einer unterschiedlichen HF-Performance integriert werden, wobei die Transistoreigenschaften jeweils beispielsweise durch eine Variation der jeweiligen Fensterbreite der Aussparungen 205 und 207 erzielt werden kann.

Der weitere Halbleiterbereich 209 sowie der weitere Halbleiterbereich 211 ragen, wie es bereits erwähnt worden ist, in das Substrat 201 hinein. Auf diese Weise können die jeweiligen Transistoreigenschaften neben einer Variation der Fensterbreite beispielsweise durch eine Variation der jeweiligen Tiefe des jeweiligen weiteren Halbleiterbereichs 209 und 211 eingestellt werden., Die jeweiligen weiteren Halbleiterbereiche 209 und 211 können beispielsweise durch Hochenergie-Ionenimplantation in das Substrat 201 realisiert werden.

In Fig. 3 ist eine Integration eines HF-Transistors und beispielsweise des aus Fig. 2 bereits bekannten HV-Transistors (z.B. HV-Transistor II), wobei sich die Transistoren jeweils links und rechts von der in Fig. 3 dargestellten vertikalen Linie befinden, gezeigt.

In der nachfolgenden Beschreibung der bevorzugten Ausführungsbeispiele werden Elemente, die bereits anhand der Fig. 2 erläutert worden sind, mit den gleichen Bezugszeichen versehen. Eine erneute Beschreibung dieser Elemente erfolgt nicht. Ferner sind in den Figuren gleiche Elemente mit gleichen Bezugszeichen versehen.

30

Der HF-Transistor weist einen SIC 301 auf, der die Basis 219 mit einer vergrabenen ersten Halbleiterschicht 300 verbindet. Dabei ist die Dicke der zweiten Halbleiterschicht 213, bei der es sich beispielsweise um eine Epitaxieschicht handeln kann, auf den links von der gestrichelten Linie angeordneten HF-Transistor angepaßt, so daß der HF-Transistor beispielsweise über optimale HF-Eigenschaften verfügt. Um eine höhere

Durchbruchspannung bei dem HV-Transistor zu erreichen, ist, wie es bereits im Zusammenhang mit dem in Fig. 2 dargestellten Ausführungsbeispiel diskutiert worden ist, in der Aussparung 207 der weitere Halbleiterbereich 211 (zweiter Subkolektor) angeordnet. Dabei ist ein Abschnitt der zweiten Halbleiterschicht 213 über dem weiteren Halbleiterbereich 211 der ersten Halbleiterschicht 300 derart angeordnet, daß ein Abschnitt der zweiten Halbleiterschicht 213 dazwischen angeordnet ist. Dabei weist die zweite Aussparung eine vorbestimmte Breite sowie einen vorbestimmten Abstand von der Halbleiterstruktur 219 auf, so daß erfindungsgemäß der HV-Transistor gemeinsam mit einem herkömmlichen HF-Transistor auf einem Substrat integriert werden kann.

Bevorzugt wird eine Dicke der zweiten Halbleiterschicht (Kollektorepitaxie) an die Anforderungen hinsichtlich der HF-Performance des HF-Transistors optimal angepaßt. In dem Kollektorbereich des HV-Transistors wird während eines Herstellungsprozesses beispielsweise kein Subkolektor implantiert, sondern entweder vor oder nach einem Aufwachsen der zweiten Halbleiterschicht (Kollektorepitaxie) durch beispielsweise eine Hochenergieimplantation in der Ausnehmung 207 lokal ein tieferer, zweiter Subkolektor (weiterer Halbleiterbereich 211) implantiert, der an die Anforderungen des HV-Transistors angepaßt ist. Die Implantation vor der Kollektorepitaxie benötigt hierzu eine zusätzliche Lithographieebene und kann beispielsweise mit Arsen erfolgen. Durch eine aufgrund der weiteren Lithographieebene erweiterte Prozeßführung können somit sowohl der HF-Transistor als auch der HV-Transistor erfindungsgemäß an die jeweiligen Anforderungen in einer einfachen Weise optimal angepaßt werden.

Fig. 4 zeigt ein weiteres Ausführungsbeispiel einer Halbleiterstruktur gemäß der vorliegenden Erfindung.

Im Unterschied zu dem in Fig. 3 dargestellten Ausführungsbeispiel weist die in Fig. 4 gezeigte Halbleiterstruktur einen

unteren Halbleiterbereich 401 auf, der unterhalb der vergrabenen ersten Halbleiterschicht 300 angeordnet ist und sich in das Substrat 201 hinein erstreckt. Der untere Halbleiterbereich 401 ist ferner unterhalb der Basis 219 des HF-

5 Transistors, der links neben der vertikal eingezeichneten Linie angeordnet ist, angeordnet. Der dritte Halbleiterbereich 401 weist beispielsweise eine Dotierungskonzentration auf, die der Dotierungskonzentration des weiteren Halbleiterbereichs 211 gleicht, wobei sowohl der untere Halbleiterbereich 10 reich 401 als auch der weitere Halbleiterbereich 211 mit dem gleichen Dotiertyp dotiert sind, wobei es sich beispielsweise um eine n-Dotierung handeln kann.

Das in Fig. 4 dargestellte Ausführungsbeispiel verdeutlicht
15 das erfindungsgemäße Konzept zur Integration eines HF- und eines HV-Bipolartransistors mit zwei Subkollektoren. Die Dicke der zweiten Halbleiterschicht 213 (Kollektorepitaxieschicht) ist, wie es bereits im Zusammenhang mit dem in Fig. 3 dargestellten Ausführungsbeispiel diskutiert worden ist,
20 auf den HF-Transistor angepaßt. Im Unterschied zu dem der in Fig. 3 dargestellten Halbleiterstruktur zugrundeliegenden Herstellungsverfahren wird bei einer Herstellung der in Fig. 4 dargestellten erfindungsgemäßen Halbleiterstruktur keine eigene Lithographieebene benötigt, wodurch die Herstellungsskosten weiter gesenkt werden. Die High-Energie-
25 Implantation nach der Epitaxie zur Erzeugung des Halbleiterbereichs 211 kann durch eine Implantation (beispielsweise Phosphor) durch eine in BiCMOS-Technologie notwendige "Bipolar-Open"-Lithographie geschehen. Dabei wird der tiefere Subkollektor 211 auch in den HF-Transistor implantiert, und
30 es wird keine eigene Lithographieebene benötigt. Wenn eine Implantationstiefe des tieferen Subkollektors ausreichend groß ist, wird der HF-Transistor von dieser Implantation nicht beeinflusst, da eine Streuung der Implantation in die oberflächennahen Bereiche der Epitaxieschicht gering ist.
35 Dieses erfindungsgemäße Konzept eignet sich daher besonders für sehr unterschiedliche Durchbruchspannungen des Hochfre-

quenztransistors (ca. 1,5 - 2,5 Volt) und des HV-Transistors (ca. 3 - 6 Volt), wie sie in modernen Bipolar- und BiCMOS-Technologien meist vorkommen. Da der tiefere Subkollektor 211 meist niedriger dotiert ist als die vergrabene Schicht 203, wird beim HF-Transistor ohne Aussparung 207 die Dotierung des tieferen Subkollektors im Bereich der vergrabenen Schicht 203 von dieser überdeckt. Somit ragt beim HF-Transistor nur der untere Bereich 401 des tieferen Subkollektors in das Substrat.

Der Kollektorwiderstand des HV-Transistors ist möglicherweise etwas erhöht, weil ein Schichtwiderstand eines hochenergieimplantierten Subkollektors (ca. 100 Ohm/sq) auf Grund einer möglicherweise geringeren Dotierung höher sein kann als der eines konventionellen Subkollektors (ca. 30 Ohm/sq). Dieser Effekt kann jedoch kompensiert werden durch eine Reduktion eines Widerstands des Kollektorkontakts zum Kollektor aufgrund der geringeren Dicke der zweiten Halbleiterschicht (Epitaxiedicke). Zudem ist der Übergangsbereich bei dem HF-Transistor zwischen dem SIC 301 und der vergrabenen ersten Halbleiterschicht 203 (vergrabener Subkollektor) geringer als es bei herkömmlichen Strukturen der Fall ist. Der HF-Transistor hat eine durchgängige vergrabene Schicht mit typisch 30 Ohm/sq.

In Fig. 5 sind Dotierstoffkonzentrationen des HF-Transistors (a) und des HV-Transistors (b) nach dem konventionellen Integrationskonzept dargestellt. Auf der Abszisse ist ein prinzipieller Schnitt durch die Schichten einer Halbleiterstruktur beginnend mit E: Emitter, B: Basis, flachem SIC, einem retrogradierten tieferen SIC und einer vergrabenen Schicht (buried layer) und in Fig. 5b beginnend mit E: Emitter, B: Basis, der Epischicht und der vergrabenen Schicht (buried layer) dargestellt. Auf der jeweiligen Ordinate ist jeweils eine Dotierungskonzentration der jeweiligen Dotierung dargestellt. Die in Fig. 5a und 5b dargestellten Implantationsprofile verdeutlichen dabei die konventionelle Variante

eines Integrationsschemas, wie es beispielsweise in Fig. 8 dargestellt ist. Der retrograde SIC bei dem HF-Transistor dient hier zur Überbrückung des Epibereichs zwischen Ende der Basis-Kollektor-Raumladungszone und ist der niederohmigste mögliche, implantierte Kollektoranschluß.

Fig. 6 veranschaulicht Dotierstoffkonzentrationen des HF-Transistors (a) und des HV-Transistors (b) für das erfindungsgemäße Konzept mit einem Hochenergie-Buried-Layer für den HV-Transistor. Auf der Abszisse von Fig. 6a ist ein vertikaler Schnitt durch die erfindungsgemäßen Schichten der Halbleiterstruktur dargestellt, beginnend mit E: Emitter, B: Basis, dem flachen SIC und der vergrabenen Schicht (buried layer), wie es beispielsweise in Fig. 3 (HF-Transistor) dargestellt ist. Die Abszisse der in Fig. 6b dargestellten Graphik verdeutlicht einen vertikalen Schnitt durch die Schichten des erfindungsgemäßen HV-Transistors beginnend mit E: Emitter, B: Basis, Epischicht, Hochenergie-Buried-Layer, wie es beispielsweise in Fig. 4 (HV-Transistor) dargestellt ist. Auf der jeweiligen Ordinate sind beispielsweise Dotierkonzentrationen der jeweiligen Dotierung dargestellt.

Das Herstellen einer Halbleiterstruktur umfaßt ein Bereitstellen der vergrabenen ersten Halbleiterschicht mit der in derselben gebildeten Aussparung, ein Erzeugen der zweiten Halbleiterschicht auf der vergrabenen ersten Halbleiterschicht sowie ein Erzeugen des Halbleiterbereichs auf der zweiten Halbleiterschicht. Bei dem Schritt des Bereitstellens können ferner folgende Schritte durchgeführt werden: Aufbringen einer Implantationsmaske auf ein Halbleitersubstrat, wobei die Implantationsmaske die Aussparung freiläßt; Implantieren der vergrabenen ersten Halbleiterschicht unter Verwendung der Implantationsmaske. Darüber hinaus kann eine weitere Implantationsmaske nach dem Schritt des Erzeugens der zweiten Halbleiterschicht aufgebracht werden, die eine Aussparung freiläßt, sowie ein weiterer Halbleiterbereich in der Aussparung unter Verwendung der weiteren Implantationsmaske erzeugt

werden. Es kann jedoch auch eine weitere Implantationsmaske aufgebracht werden, die die Aussparung freiläßt und ein weiterer Halbleiterbereich in der Aussparung unter Verwendung der weiteren Implantationsmaske erzeugt werden.

5

Fig. 7 zeigt ein weiteres Ausführungsbeispiel eines HV-Transistors gemäß der vorliegenden Erfindung, das das HV-Konzept noch einmal verdeutlicht.

10 Im Unterschied zu dem in Fig. 2 dargestellten HV-Transistor II umfaßt der in Fig. 7 dargestellte HV-Transistor einen Basisanschluß 701, der das Basisanschlußpoly 225 kontaktiert und nach oben durch die Isolationsschicht 227 ausgeführt ist, einen Emitteranschluß 703, der die Emitterschicht 223 kontaktiert und über dem weiteren Halbleiterbereich 211 (lokalem Hochenergie-Subkollektor) angeordnet ist sowie einen Kollektoranschluß 705, der auf dem zweiten Anschluß 217 angeordnet ist.

20 Der jeweilige Subkollektor kann durch eine Implantation erzeugt werden, die mit einer höheren Energie durchgeführt wird als die Implantation der vergrabenen Schicht. Dadurch liegt die Oberfläche des Subkollektors tiefer als die der vergrabenen Schicht.

25

Mit dem oben beschriebenen Verfahren kann die Durchbruchspannung des jeweiligen HV-Transistors neben einer Änderung einer Implantationsenergie durch eine Weite des Fensters in dem Subkollektor (vergrabene erste Halbleiterschicht 203) eingestellt werden. Somit können nur mit Layoutmaßnahmen ohne erhöhte Fertigungskosten unterschiedliche Durchbruchspannungen bei dem jeweiligen HV-Transistor eingestellt werden. Dies bedeutet für eine mögliche Anwendung der so hergestellten Halbleiterstruktur große Vorteile in einer Flexibilität (unterschiedliche Versorgungsspannungen oder eine gute Optimierbarkeit von ESD-Strukturen). Die jeweilige Durchbruch-

30

35


spannung des jeweiligen HV-Transistors hängt dabei vom Abstand einer Kante des Subkollektorfensters zum Kollektor ab.

Patentansprüche


1. Halbleiterstruktur mit folgenden Merkmalen:

5 einer vergrabenen ersten Halbleiterschicht (101; 203) eines ersten Dotierungstyps;

einer zweiten Halbleiterschicht (111; 213) des ersten Dotierungstyps auf der vergrabenen Halbleiterschicht (101; 203,
10 204), die geringer dotiert ist als die vergrabene erste Halbleiterschicht (101; 203, 204);

 einem Halbleiterbereich (113; 219) eines zweiten Dotierungstyps auf der zweiten Halbleiterschicht (111; 213), so daß
15 zwischen dem Halbleiterbereich (113; 219) und der zweiten Halbleiterschicht (111; 213) ein pn-Übergang gebildet ist; und

einer unterhalb des Halbleiterbereichs (113; 219) in der
20 vergrabenen ersten Halbleiterschicht (101; 203, 204; 300) vorhandenen Aussparung (103), die ein Halbleitermaterial des ersten Dotierungstyps enthält, das tiefer im Substrat liegt als die vergrabene erste Halbleiterschicht (101; 203, 204), derart, daß die Durchbruchspannung über den pn-Übergang höher
25 ist als wenn die Aussparung (103) nicht vorgesehen wäre.

 2. Halbleiterstruktur gemäß Anspruch 1, bei der sich die zweite Halbleiterschicht (111; 213) in die Aussparung (103) erstreckt und die Aussparung (103) im übrigen einen weiteren
30 Halbleiterbereich (105''; 209, 211) des ersten Dotierungstyps aufweist, der höher dotiert ist als die zweite Halbleiterschicht (111; 213).

3. Halbleiterstruktur gemäß Anspruch 2, bei der der weitere
35 Halbleiterbereich (105''; 209, 211) gleich oder geringer dotiert ist als die vergrabene erste Halbleiterschicht (101; 203, 204).

4. Halbleiterstruktur gemäß einem der Ansprüche 1-3, bei der die Aussparung die vergrabene erste Halbleiterschicht (101; 203, 204; 300) vollständig durchdringt.

5

5. Halbleiterstruktur gemäß einem der Ansprüche 1 - 4, bei der der Halbleiterbereich (113; 219) eine Basis, die erste vergrabene Halbleiterschicht (101; 203, 204; 300) ein Subkollektor und die zweite Halbleiterschicht (111; 213) ein Kollektor eines Bipolartransistors sind.

10

6. Halbleiterstruktur gemäß Anspruch 5, bei der die vergrabene erste Halbleiterschicht (101; 203, 204; 300) ferner einen Subkollektor für zumindest einen weiteren Bipolartransistor darstellt, wobei die vergrabene erste Halbleiterschicht (101; 203, 204; 300) für zumindest einen weiteren Bipolartransistor keine oder eine solche Aussparung aufweist, daß die Bipolartransistoren unterschiedliche Durchbruchspannungen besitzen.

20

7. Halbleiterstruktur gemäß Anspruch 6, bei der die vergrabene erste Halbleiterschicht (101; 203, 204; 300) für die Bipolartransistoren Aussparungen unterschiedlicher Breite aufweist.

25

8. Verfahren zum Herstellen einer Halbleiterstruktur gemäß einem der Ansprüche 1 - 7, das folgende Schritte umfaßt:

Bereitstellen der vergrabenen ersten Halbleiterschicht (101; 203, 204; 300) mit der in derselben gebildeten Aussparung;

30

Erzeugen des weiteren Halbleiterbereichs (105''; 209, 211) in der Aussparung;

Einbringen des Halbleitermaterials des ersten Dotierungstyps in die Aussparung, wobei nach dem Schritt des Einbringens das

35

Halbleitermaterial tiefer im Substrat liegt als die vergrabene erste Halbleiterschicht (101; 203, 204);

5 Erzeugen der zweiten Halbleiterschicht (111; 213) auf der vergrabenen ersten Halbleiterschicht (101; 203, 204), die geringer dotiert ist als die vergrabene erste Halbleiterschicht (101; 203, 204);

10 Erzeugen des Halbleiterbereichs (113; 219) auf der zweiten Halbleiterschicht (111; 213);

9. Verfahren gemäß Anspruch 8, bei dem der Schritt des Bereitstellens folgende Schritte umfaßt:

15 Aufbringen einer Implantationsmaske auf ein Halbleitersubstrat, wobei die Implantationsmaske die Aussparung bedeckt;

Implantieren der vergrabenen ersten Halbleiterschicht (101; 203, 204; 300) unter Verwendung der Implantationsmaske.

20

10. Verfahren gemäß Anspruch 8 oder 9, das ferner folgende Schritte aufweist:

25 Aufbringen einer weiteren Implantationsmaske, die eine Aussparung freiläßt, nach dem Schritt des Bereitstellens;

Erzeugen eines weiteren Halbleiterbereichs (105''; 209, 211) in der Aussparung unter Verwendung der weiteren Implantationsmaske.

30

11. Verfahren gemäß Anspruch 8 oder 9, das ferner folgende Schritte aufweist:

35 Aufbringen einer weiteren Implantationsmaske, die die Aussparung freiläßt, nach dem Schritt des Erzeugens der zweiten Halbleiterschicht (111; 213); und

Erzeugen eines weiteren Halbleiterbereichs (105''; 209, 211)
in der Aussparung unter Verwendung der weiteren Implantati-
onsmaske.

Zusammenfassung

Halbleiterstruktur mit einer erhöhten Durchbruchspannung und ein Verfahren zum Herstellen der Halbleiterstruktur

5

Eine Halbleiterstruktur umfaßt eine vergrabene erste Halbleiterschicht eines ersten Dotierungstyps, eine zweite Halbleiterschicht des ersten Dotierungstyps auf der vergrabenen Halbleiterschicht, die geringer dotiert ist als die vergrabene erste Halbleiterschicht, einen Halbleiterbereich eines zweiten Dotierungstyps auf der zweiten Halbleiterschicht, so daß zwischen dem Halbleiterbereich und der zweiten Halbleiterschicht ein pn-Übergang gebildet ist, und einen unterhalb des Halbleiterbereichs in der vergrabenen ersten Halbleiterschicht vorhandenen Aussparung, die ein Halbleitermaterial des ersten Dotierungstyps, das geringer dotiert sein kann als die vergrabene erste Halbleiterschicht und einen größeren Abstand zum Halbleiterbereich des zweiten Dotierungstyps auf der zweiten Halbleiterschicht aufweist, derart, daß die Durchbruchspannung über den pn-Übergang höher ist als wenn die Aussparung nicht vorgesehen wäre. Dadurch wird erreicht, dass sowohl eine Halbleiterstruktur mit gewünschter Durchbruchspannung als auch eine weitere Halbleiterstruktur ohne diese Aussparung in der vergrabenen ersten Halbleiterschicht mit optimierten HF-Eigenschaften erzeugt werden können.

Figur 1

Bezugszeichenliste

101	vergrabene erste Halbleiterschicht
103	Aussparung
105'	Abschnitt der Aussparung
105''	weiterer Halbleiterbereich
107	obere Oberfläche des weiteren Halbleiterbereichs
109	obere Oberfläche der vergrabenen ersten Halbleiterschicht
111	zweite Halbleiterschicht
113	Halbleiterbereich
115	untere Oberfläche des Halbleiterbereichs
201	Substrat
203	vergrabene erste Halbleiterschicht
204	vergrabene erste Halbleiterschicht
205	erste Aussparung
207	zweite Aussparung
209	weiterer Halbleiterbereich
211	weiterer Halbleiterbereich
213	zweite Halbleiterschicht
214	Deep Trench-Isolation
215	erster Anschluß
217	zweiter Anschluß
219	Basis
221	weitere Substratschichten
222	weitere Substratschichten
223	Emitterschicht
225	Basisanschlußschicht
227	Isolationsschicht
229	obere Oberfläche des zweiten Halbleiterbereichs
231	obere Oberfläche des weiteren zweiten Halbleiterbereichs
301	SIC
401	unterer Halbleiterbereich

701 Substrat
801 Substrat
803 Subkollektor
805 erster SIC
807 zweiter SIC
809 Kollektorepitaxie
811 Basis
813 Basisanschlußschicht
815 Emitter
817 Passivierungsschicht
819 Oxidschichten
820 Anschluß
821 weiterer Anschluß
823 Deep Trench-Isolation
824 Subkollektor

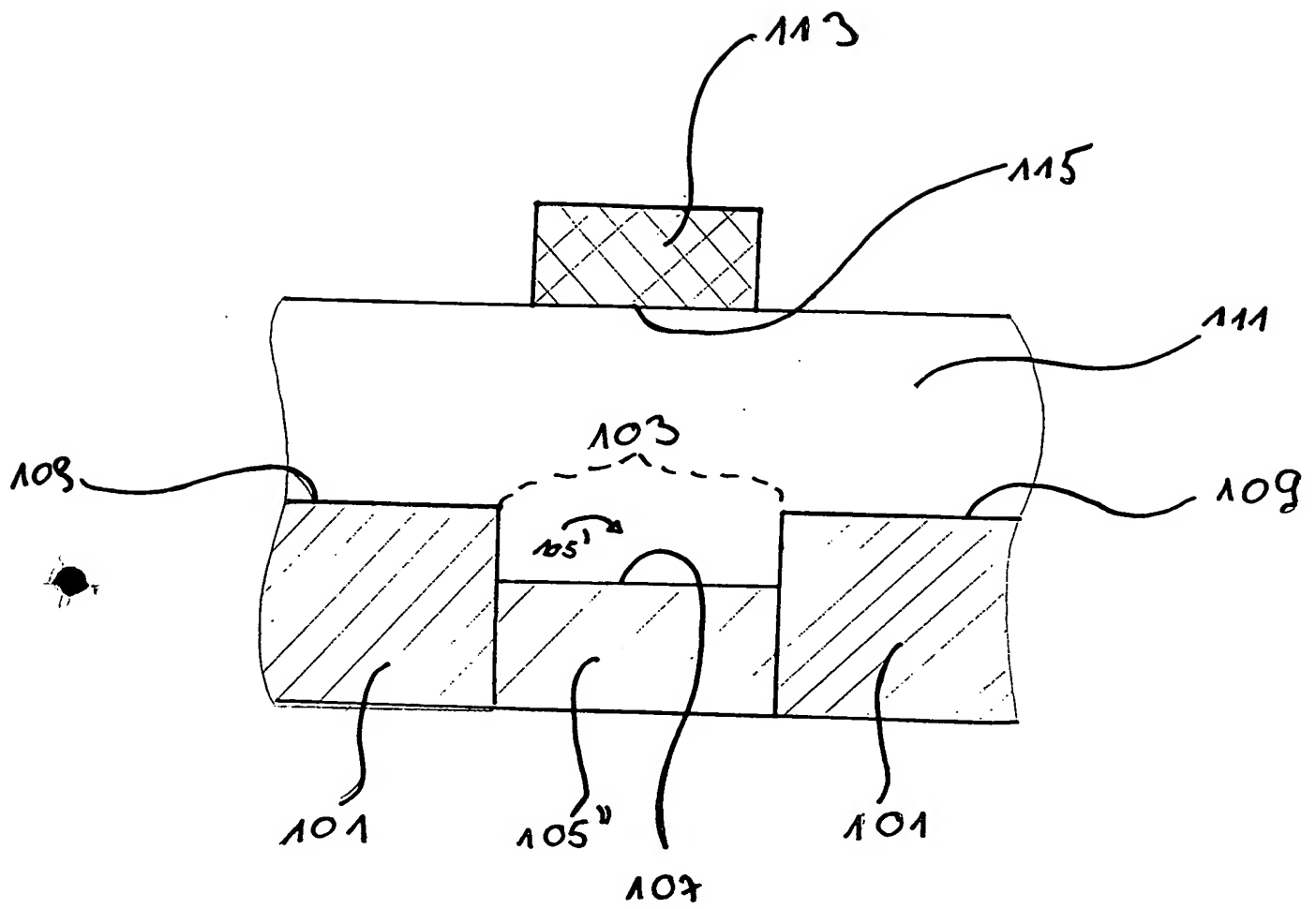


Fig 1

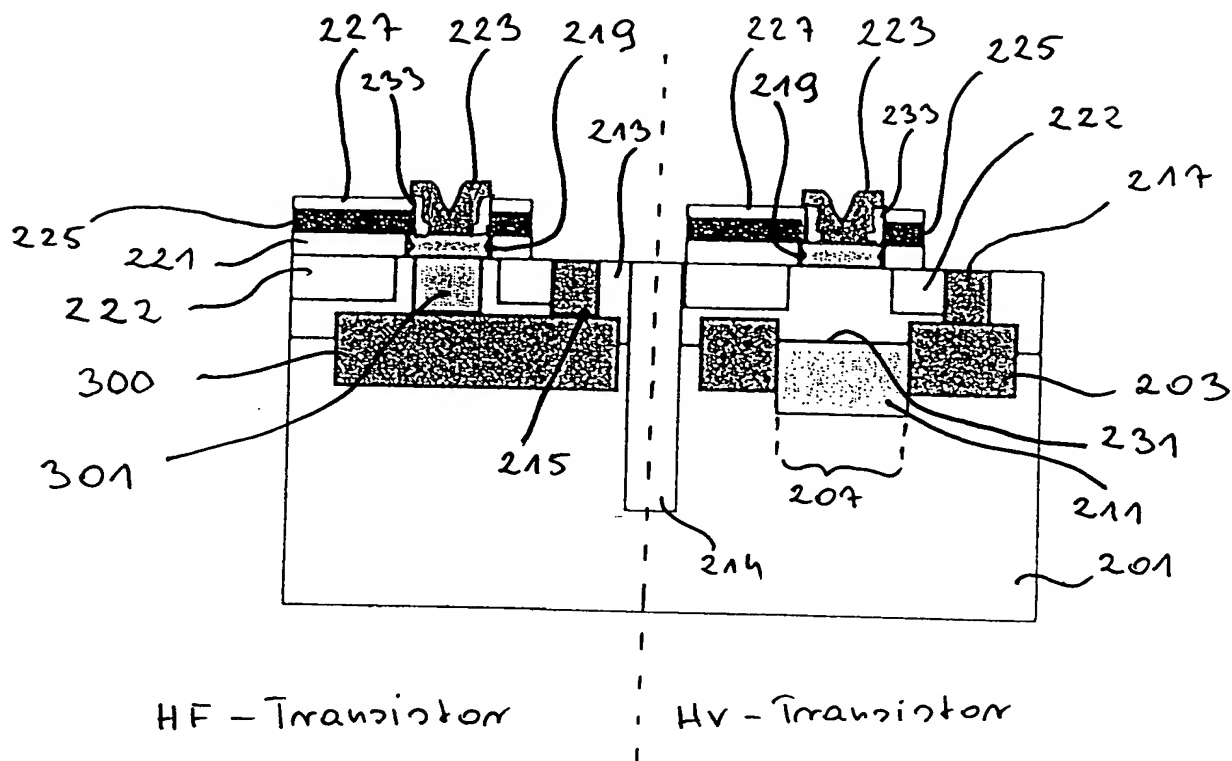


Fig. 3

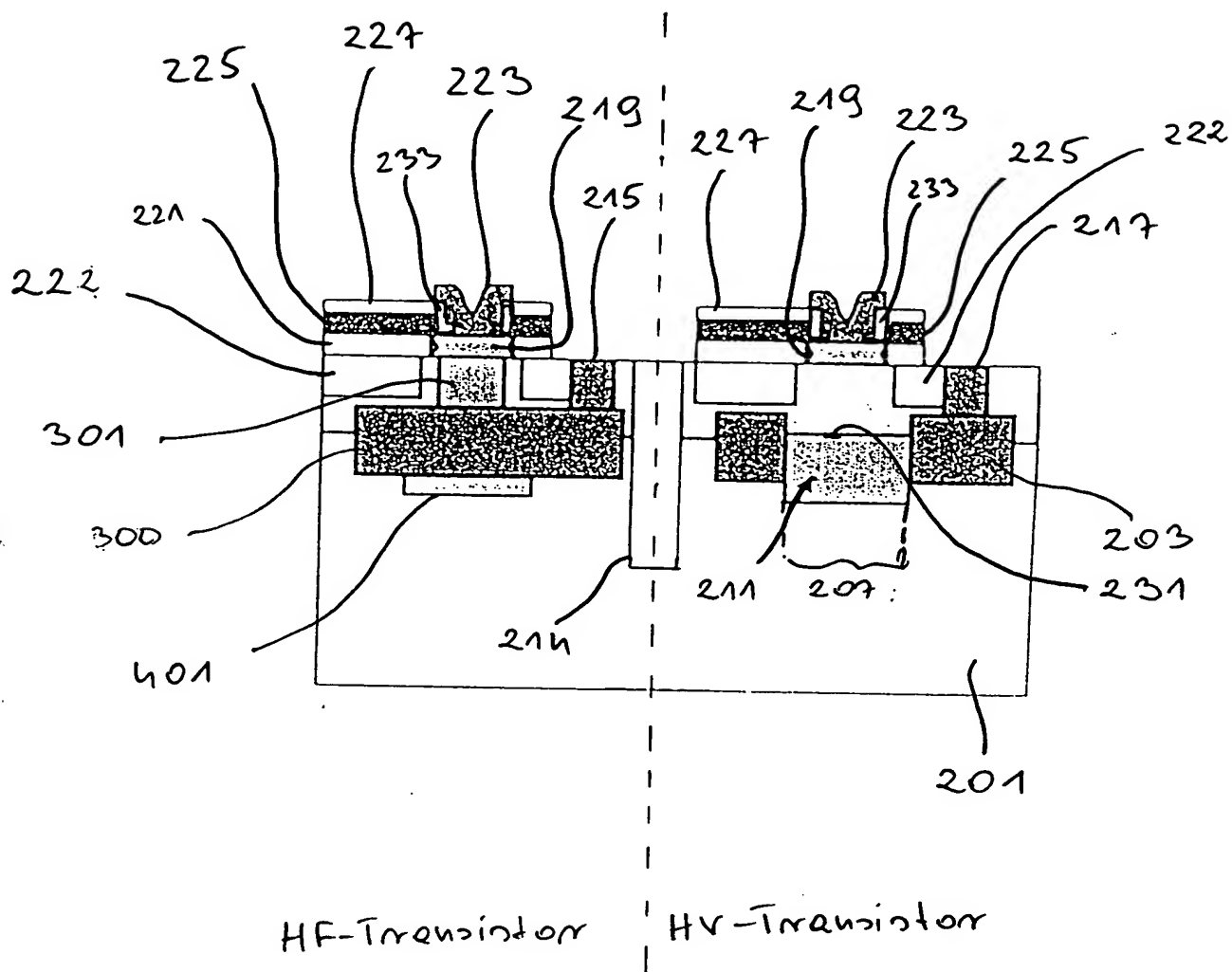


Fig. 4

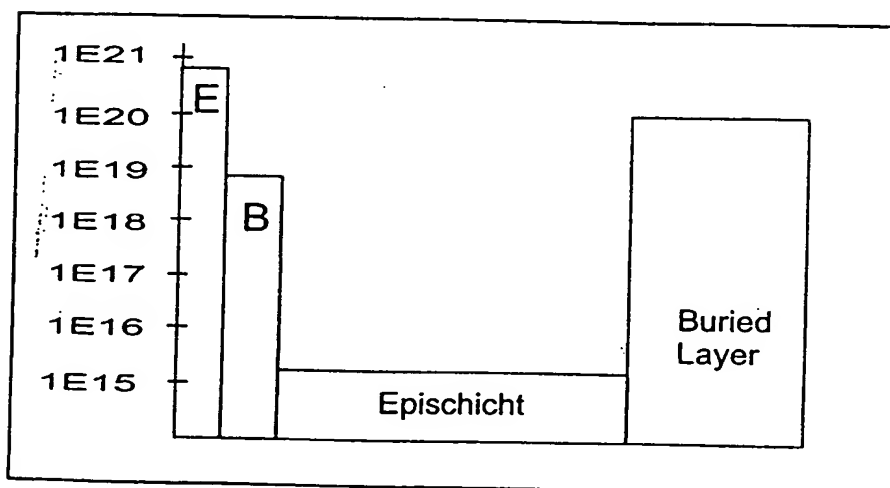
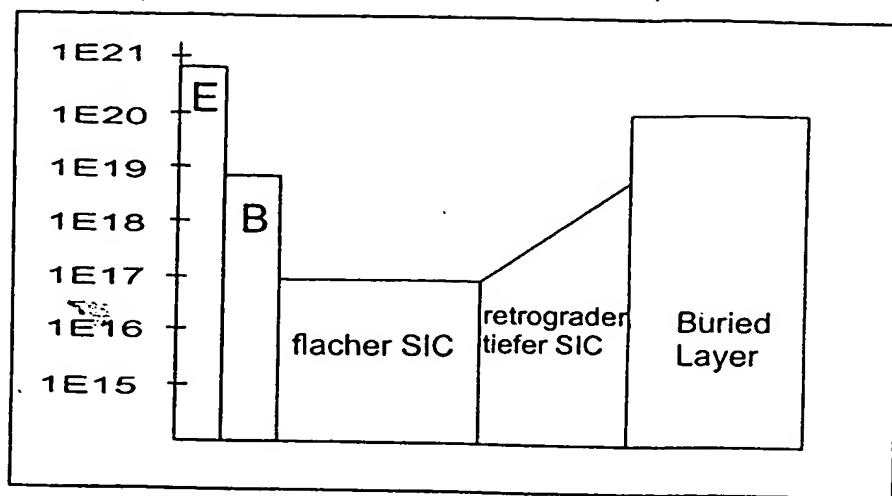


Fig. 5

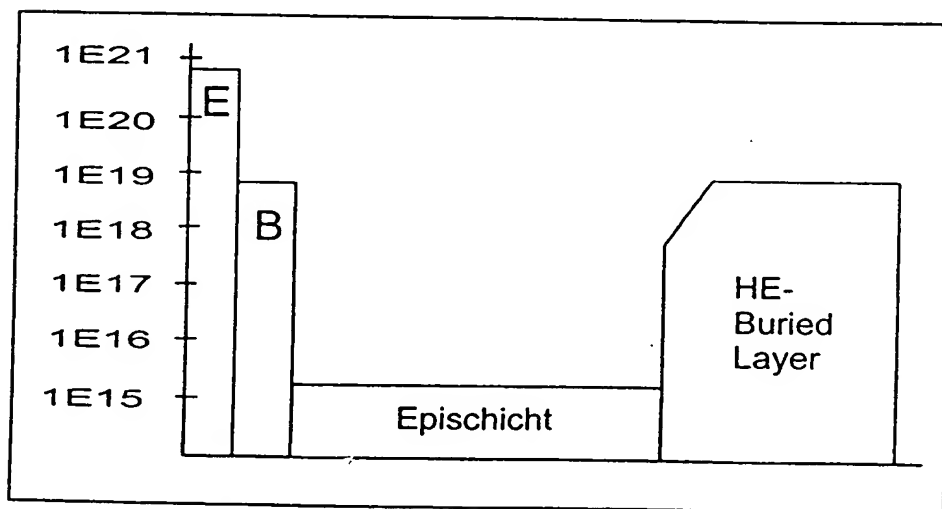
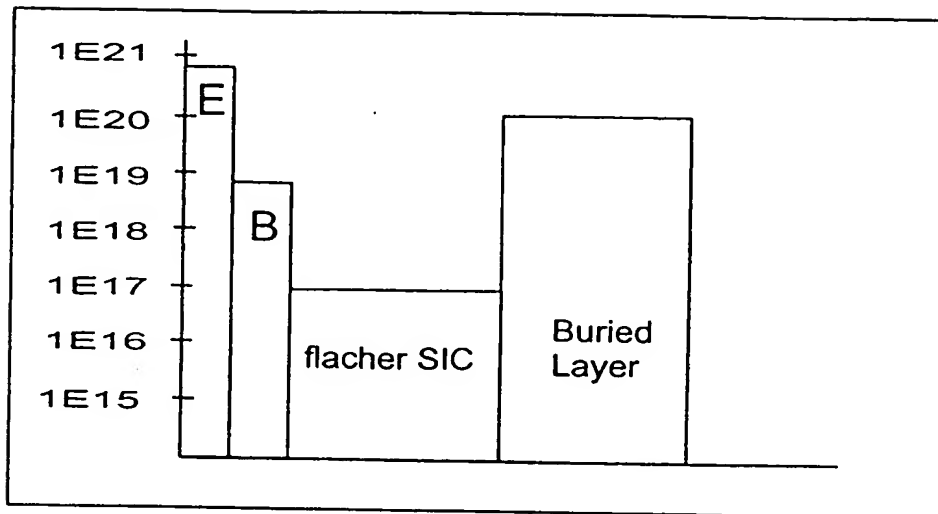


Fig. 6

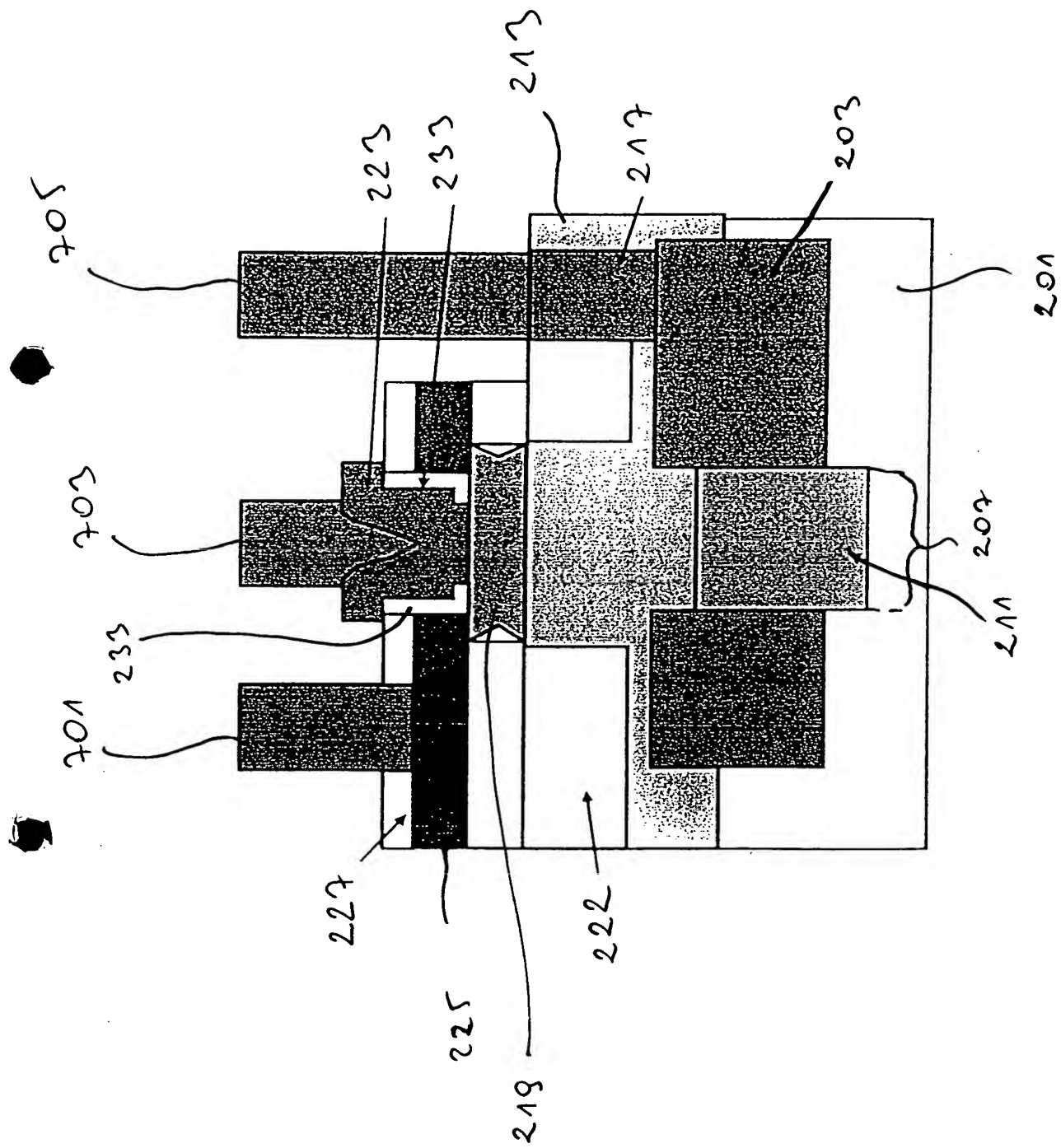


Fig. 7

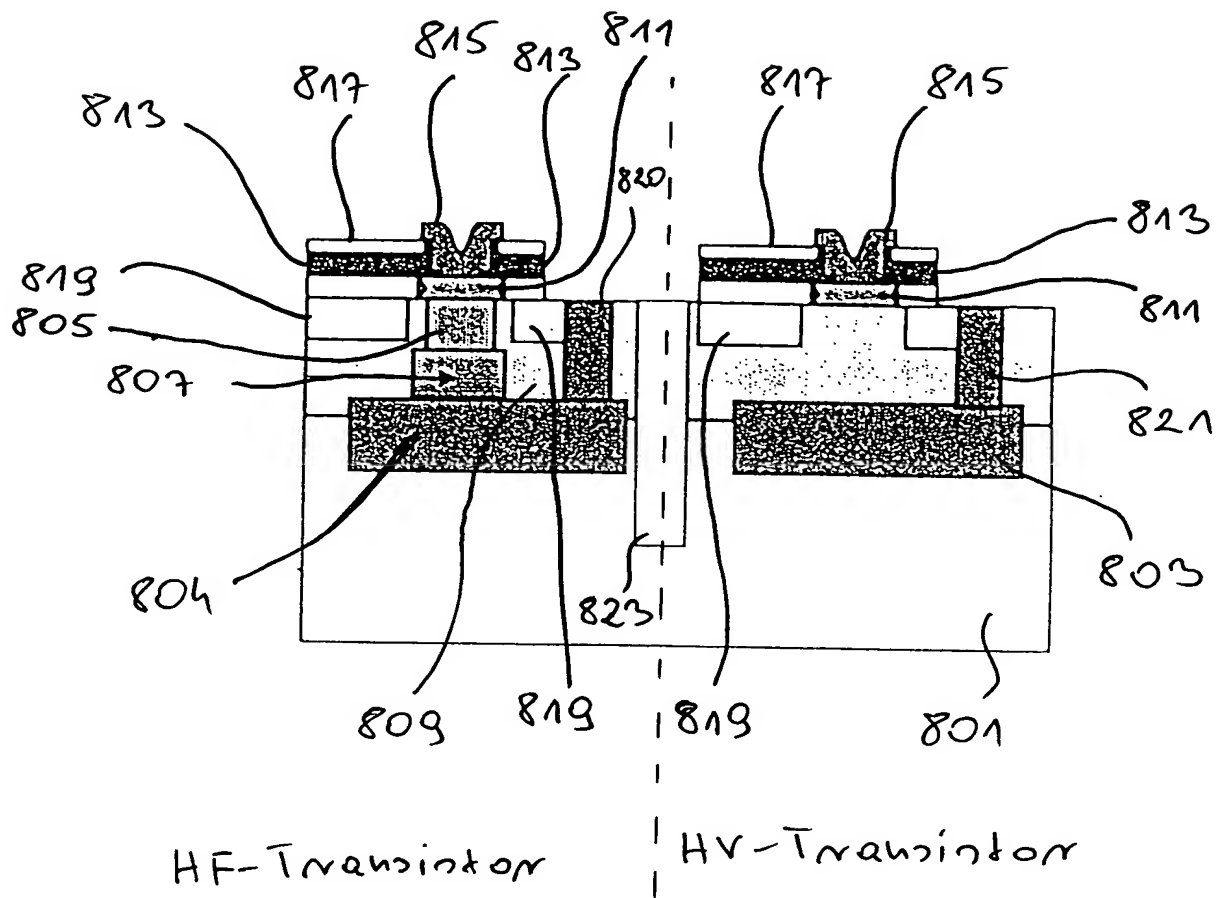


Fig. 8